

SEMICONDUCTOR LASER DEVICE AND MANUFACTURE THEREOF

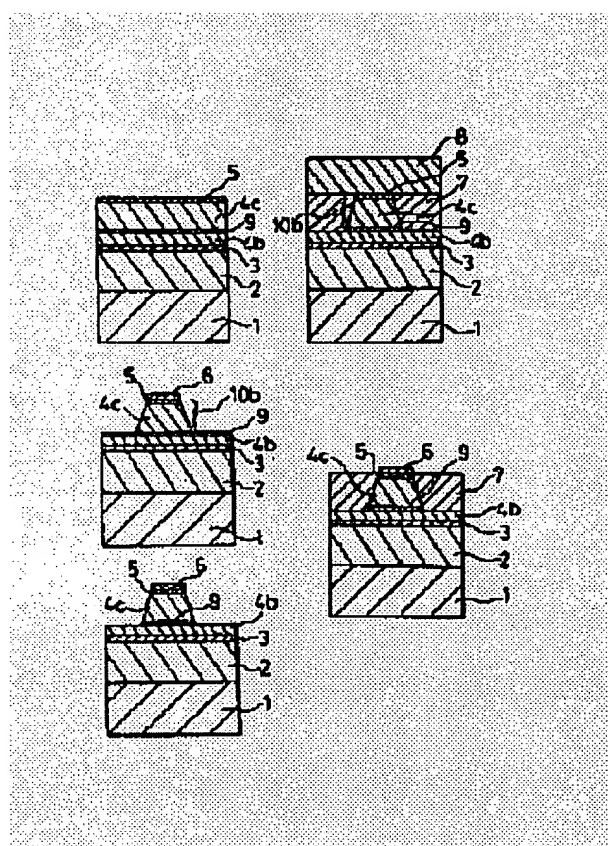
Patent number: JP4144296
Publication date: 1992-05-18
Inventor: ARIMOTO SATOSHI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01S3/18
- european:
Application number: JP19900268822 19901005
Priority number(s):

Abstract of JP4144296

PURPOSE: To improve a characteristic in a second growth of the interface between a first upper clad layer of an AlGaAs system and a block layer, by using the structure, in which removed is, an etching stopper layer of GaInP, from the region other than the ridge part, on the first upper clad layer of an AlGaAs system provided on an activated layer.

CONSTITUTION: On a first upper clad layer 4b of p-type AlGaAs, provided is the regular mesa ridge of a three-layer structure comprising a p-type GaAs layer 5, a second upper clad layer 4c of p-type AlGaAs, and a p-type GaInP layer 9, and is used as the shape of a device.

Thereafter, using a dielectric film 6 as a mask for a selective growth, the second epitaxial growth by an MOCVD method is performed. Thereby, a block layer 7 of n-type GaAs is made to grow so as to embed a ridge structure 10b therein. Thereafter, the dielectric film 6 is removed, and by a third epitaxial growth, a contact layer 8 of p-type GaAs is formed. Further, on the reverse of a substrate 1 and on the surface of the contact layer 8, an n-side electrode 15 and a P side electrode 16 are provided respectively, and by cutting and opening, end faces 17, 18 are formed. As a result, the characteristic in the second growth of the interface between the first upper clad layer of AlGaAs and the block layer of GaAs can be improved to a great extent.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑫ 公開特許公報(A) 平4-144296

⑤ Int. Cl.³

識別記号 庁内整理番号

⑬ 公開 平成4年(1992)5月18日

H 01 S 3/18

9170-4M

審査請求 未請求 請求項の数 3 (全12頁)

⑭ 発明の名称 半導体レーザ装置とその製造方法

⑯ 特 願 平2-268822

⑰ 出 願 平2(1990)10月5日

⑱ 発 明 者 有 本 智 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体レーザ装置とその製造方法

2. 特許請求の範囲

(1) AlGaAs系材料を用いた第1導電形下クラッド層、活性層、及び第2導電形第1上クラッド層からなるダブルヘテロ構造を形成するとともに、該ダブルヘテロ構造上にGaInP薄膜層、及びAlGaAs系材料からなる第2導電形第2上クラッド層を形成し、

該第2上クラッド層を上記GaInP薄膜層をエッチングストップパ層として用いてリッジ状に成形し、

該リッジを第1導電形のブロック層で埋め込んでなる構造を有する、リッジ導波路型の半導体レーザ装置において、

上記リッジ以外の領域の上記第1上クラッド層の上記GaInP薄膜層を除去した構造として、

(2) AlGaAs系材料を用いた第1導電形下

クラッド層、活性層、及び第2導電形第1上クラッド層からなるダブルヘテロ構造を形成するとともに、該ダブルヘテロ構造上にGaInP薄膜層、及び第1導電形のブロック層を形成し、

上記GaInP薄膜層をエッチングストップパ層として用いて上記ブロック層に電流通路となるストライプ状溝を形成し、

上記ブロック層上および上記ストライプ状溝上に第2導電形第2上クラッド層を形成してなる構造を有する、SAS型の半導体レーザ装置において、

上記ストライプ状溝の底部の上記GaInP薄膜層を除去した構造として、

(3) 活性層上に形成したAlGaAs系第1上クラッド層上にGaInP薄膜層を形成し、さらに該GaInP薄膜層上に他の半導体層を形成した後、上記GaInP薄膜層をエッチングストップパとして用いて上記他の半導体層の一部をエッチング除去する工程と、

上記選択エッチング工程で露出した上記GaInP薄膜層を、As雰囲気とした再成長を行なう結晶成長装置内においてGaInPのみが熱分解しAlGaAsは熱分解しないような温度に昇温し、所定時間保持することにより熱分解除去する工程と、

上記熱分解除去工程に連続して上記他の半導体層上、及びGaInP薄膜層除去により露出したAlGaAs系第1上クラッド層上に半導体層を再成長する工程とを含むことを特徴とする半導体レーザ装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、AlGaAs系材料を用いた半導体レーザ装置に関し、埋め込み成長時の再成長界面特性を向上させることが可能なレーザ装置の構造とその作製方法に関するものである。

(従来の技術)

第6図は従来一般に知られたAlGaAs系材料を用いたリッジ導波路型半導体レーザ装置の

構造を示す図であり、第9図はその製造フローを示す断面工程図である。

第6図において、1はn型GaAs基板であり、n型Al_{0.1}Ga_{0.9}As下クラッド層2、Al_{0.3}Ga_{0.7}As活性層3、p型Al_{0.1}Ga_{0.9}As上クラッド層4aからなるダブルヘテロ構造が基板1上に配置される。上クラッド層4aは順メサ型リッジ部を有しており、n型GaAs電流ブロック層7がリッジを埋め込むように上クラッド層4a上に配置される。p型GaAs層5はリッジ上に配置され、p型GaAsコンタクト層はn型GaAs電流ブロック層7及びn型GaAs層5上に配置される。さらにn側電極15、p側電極16は基板1裏面およびコンタクト層9a上にそれぞれ設けられる。さらに対向する一対の劈開端面17、18はリッジのストライプ方向に対して垂直に形成される。

以下、第9図に沿って製造方法を説明する。

まず第9図(a)に示すように、(100)n型GaAs基板1上に、厚さ約1μmのn型Al_{0.1}Ga_{0.9}As下クラッド層2、厚さ約0.1μmのAl_{0.3}Ga_{0.7}As活性層3、厚さ約1μmのp型Al_{0.1}Ga_{0.9}As上クラッド層4a、厚さ約0.2μmのp型GaAs層5を順次、例えばMOCVD(有機金属気相成長)法を用いてエピタキシャル成長する(第1回目のエピタキシャル成長)。

次に例えばSiNやSiO₂などの誘電体膜6をp型GaAs層5上にパターンニングし、これをマスクとして、硫酸系エッチャントによるエッチングにより、第9図(b)に示すような<011>方向の順メサリッジ構造10aを形成する。寸法としては、第9図(b)においてh₁=0.2~0.3μm、w₁=3~5μm程度となるようにする。

この後、誘電体膜6を選択成長マスクとして用い、MOCVD法を用いた第2回目のエピタキシャル成長により第9図(c)に示す様に、リッジ構造10aを埋め込むようにn型GaAsブロック層7を成長した後、誘電体膜6を除去し、第3回目のエピタキシャル成長により厚さ2~3μmのp型GaAsコンタクト層8を第9図(d)に示すように形成し、さらに、基板1裏面、コンタクト層8表面にn側電極15、p側電極16をそれぞれ設け、劈開により端面17、18を形成して第6図に示すレーザ素子が完成する。

次に動作について説明する。

このリッジ導波路型半導体レーザ装置のn側電極15、p側電極16間に順方向に電圧を印加すると、電流はブロック層7により狭窄されて活性層3に注入されここで発光再結合により光を発生する。発生した光はストライプ状リッジに沿って導波され、かつ1対の劈開端面17、18の間で反射増幅され、レーザ発振に至る。

また第7図は従来一般に知られたAlGaAs系材料を用いたSAS(self-aligned structure)型の半導体レーザの構造を示す斜視図であり、第10図はその製造工程を示す断面工程図である。

以下、第10図に沿って製造方法を説明する。

まず第10図(a)に示すように、n型GaAs基板1上に、厚さ約1μmのn型Al_{0.1}Ga_{0.9}As下クラッド層2、厚さ約0.1μmのAl_{0.3}Ga_{0.7}As活性層3、厚さ約1μmのp型Al_{0.1}Ga_{0.9}As上クラッド層4a、厚さ約0.2μmのp型GaAs層5を順次、例えばMOCVD(有機金属気相成長)法を用いてエピタキシャル成長する(第1回目のエピタキシャル成長)。

s下クラッド層2、厚さ約0.1 μ mのAl_{0.1}Ga_{0.9}As(y<x)活性層3、厚さ約0.3 μ mのp型Al_{0.1}Ga_{0.9}As第1上クラッド層4f、厚さ約1 μ mのn型GaAs電流ブロック層11を順次、MOCVD法を用いてエピタキシャル成長する(第1回目のエピタキシャル成長)。

次に第10図(b)に示すように、n型GaAs電流ブロック層11の一部を選択的にエッチング除去してストライプ状溝13aを形成する。

この後、第2回目のエピタキシャル成長により、厚さ約0.7 μ mのp型Al_{0.1}Ga_{0.9}As第2上クラッド層4g及び厚さ約3 μ mのp型GaAsコンタクト層12を第10図(c)に示すように順次エピタキシャル成長し、さらに、基板1裏面およびコンタクト層12表面にn側電極15及びp側電極16を設け、劈開により端面17、18を形成して第7図に示すレーザ素子が完成する。

次に動作について説明する。

このSAS型半導体レーザ装置のn側電極15、p側電極16間に順方向に電圧を印加すると、電

流はブロック層11により挟まれて活性層3に注入されここで発光再結合により光を発生する。発生した光はストライプ溝に沿って導波され、かつ1対の劈開端面17、18の間で反射増幅され、レーザ発振に至る。

また第8図は、例えば特開平1-134985号公報に開示された従来のAlGaAs系材料を用いたSAS型の半導体レーザの構造を示す斜視図であり、第11図はその製造工程を示す断面工程図である。

以下、第11図に沿って製造方法を説明する。

まず第11図(a)に示すように、n型GaAs基板1上に、厚さ約1 μ mのn型バッファ層1'、厚さ約2 μ mのn型Al_{0.1}Ga_{0.9}As下クラッド層2、厚さ約0.12 μ mのp型GaAs活性層3、厚さ約0.5 μ mのp型Al_{0.1}Ga_{0.9}As光ガイド層4h、厚さ約0.1 μ mのp型GaInPエッチングストップ層90、厚さ約1 μ mのn型Al_{0.1}Ga_{0.9}As電流ブロック層11を順次、例えばMOCVD(有機金属気相成長)法

を用いてエピタキシャル成長する(第1回目のエピタキシャル成長)。

次に硫酸系エッチャントによるエッチングにより、第11図(b)に示すように、ブロック層11にメサストライプ状溝13aを形成する。この際、エッチングストップ層90はエッチングされない。

この後、第2回目のエピタキシャル成長により、厚さ約1.5 μ mのp型Al_{0.1}Ga_{0.9}As上クラッド層4i及び厚さ約1 μ mのp型GaAsコンタクト層12を第11図(c)に示すように順次エピタキシャル成長し、さらに、基板1裏面およびコンタクト層12表面にn側電極15及びp側電極16を設け、劈開により端面17、18を形成して第8図に示すレーザ素子が完成する。

本従来例の動作は上記第7図のレーザと全く同様である。即ち、n側電極15、p側電極16間に順方向に電圧を印加すると、電流はブロック層11により挟まれて活性層3に注入されここで発光再結合により光を発生する。発生した光はストライプ溝に沿って導波され、かつ1対の劈開端

面17、18の間で反射増幅され、レーザ発振に至る。

なお、この従来例レーザでは、エッチングストップ層90を設けており、GaInPがAlGaAsに比して自然酸化されにくいいため、再成長により生じるAlGaAs上クラッド層との界面特性が改善される。

(発明が解決しようとする課題)

従来のAlGaAs系材料を用いたリッジ導波路型、SAS型の半導体レーザ装置では、上述した様に2回もしくは3回のエピタキシャル工程を必要としており、第6図、第7図に示すものにおいては再成長界面となるAlGaAs層が成長前に大気にさらされ表面が酸化され、再成長界面を良好なものとする事ができなかった。

また第8図に示す半導体レーザでは上述のようなAlGaAs層表面の酸化という問題点は解消されているものの、再成長界面となるGaInPは再成長条件により熱分解が生じ易いなどの理由により再成長界面特性を良好なものとする事が

NC 002126

困難であり、良好なレーザ特性が得られないという問題点があった。

この発明は上記のような問題点を解消するためになされたものであり、再成長界面特性が良好なリッジ導波路型、SAS型の半導体レーザ装置およびその製造方法を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体レーザ装置は、 $AlGaAs$ 系材料を用いた第1導電形下クラッド層、活性層、及び第2導電形第1上クラッド層からなるダブルヘテロ構造上に $GaInP$ 薄膜層を介して第2導電形第2上クラッド層を形成し、該第2上クラッド層を上記 $GaInP$ 薄膜層をエッチングストップ層として用いてリッジ状に成形し、該リッジを第1導電形のブロック層で埋め込んでなる構造を有する、リッジ導波路型の半導体レーザ装置において、上記リッジ以外の領域の上記第1上クラッド層上の上記 $GaInP$ 薄膜層を除去した構造としたものである。

また、この発明に係る半導体レーザ装置は、 A

$lGaAs$ 系材料を用いた第1導電形下クラッド層、活性層、及び第2導電形第1上クラッド層からなるダブルヘテロ構造上に $GaInP$ 薄膜層を介して第1導電形のブロック層を形成し、上記 $GaInP$ 薄膜層をエッチングストップ層として用いて上記ブロック層に電流通路となるストライプ状溝を形成し、上記ブロック層上および上記ストライプ状溝上に第2導電形第2上クラッド層を形成してなる構造を有する、SAS型の半導体レーザ装置において、上記ストライプ状溝の底部の上記 $GaInP$ 薄膜層を除去した構造としたものである。

また、この発明に係る半導体レーザ装置の製造方法は、 $AlGaAs$ 系の第1の上クラッド層上に形成され、選択エッチング時に表面に露出した $GaInP$ 薄膜層を再成長時の結晶成長装置内で、 $GaInP$ と $AlGaAs$ の熱分解の温度差を利用して熱分解除去し、引き続き半導体レーザ装置を構成するに必要な半導体層をエピタキシャル成長するようにしたものである。

(作用)

この発明によるリッジ導波路型半導体レーザ装置においては、活性層上に設けた $AlGaAs$ 系第1上クラッド層上のリッジ部以外の領域の $GaInP$ エッチングストップ層を除去した構造としているから、上記 $AlGaAs$ 系第1上クラッド層とブロック層との間の再成長界面特性を向上できる。

また、この発明によるSAS型半導体レーザ装置においては、活性層上に設けた $AlGaAs$ 系第1上クラッド層上のストライプ状溝底部の $GaInP$ エッチングストップ層を除去した構造としているから、上記 $AlGaAs$ 系第1上クラッド層と $AlGaAs$ 系第2上クラッド層との間の再成長界面特性を向上できる。

また、この発明による半導体レーザの製造方法においては、 $AlGaAs$ 系の第1の上クラッド層上に形成され、選択エッチング時に表面に露出した $GaInP$ 薄膜層を再成長時の結晶成長装置内で熱分解除去し、引き続き半導体レーザ装置を

構成するに必要な半導体層をエピタキシャル成長するようにしたから、再成長界面の接合特性が大幅に改善された半導体レーザ層を実現できる。

(実施例)

以下、この発明の実施例を図について説明する。

第1図および第4図は本発明の第1の実施例による半導体レーザを説明するための図であり、第1図はその構造を示す斜視図、第4図はその作製フローを示す断面工程図である。

第1図において、第6図と同一符号は同一または相当部分である。また9は $GaInP$ 薄膜層である。

次に製造フローを詳細に説明する。

まず第4図(a)に示すように、(100) n 型 $GaAs$ 基板1上に、厚さ約 $1\mu m$ の n 型 $AlGaAs$ 下クラッド層2、厚さ約 $0.1\mu m$ の $AlGaAs$ 活性層3、厚さ $0.2\sim 0.3\mu m$ の p 型 $AlGaAs$ 第1上クラッド層4b、厚さ数十 $\sim 100\text{\AA}$ の p 型 $GaInP$ 薄膜層9、厚さ $0.7\sim 0.8\mu m$ の p 型 Al

NC 002127

...Ga...As上クラッド層4c、厚さ約0.2 μm のp型GaAs層5を順次、例えばMOCVD(有機金属気相成長)法を用いてエピタキシャル成長する(第1回目のエピタキシャル成長)。

ここで、これらの結晶成長条件について詳述する。AlGaAsもしくはGaAsの成長には、Ⅲ族材料として例えばトリメチルガリウム(TM_G)、トリメチルアルミニウム(TMA)を、V族材料としてはアルシン(AsH₃)を用いる。GaInPの成長にはⅢ族材料として例えばTM_Gおよびトリメチルインジウム(TM_I)を、V族材料としてはホスフィン(PH₃)を用いる。

各材料の成長は、上述の材料を成長装置内に同時に流し、成長温度650~700℃、成長圧力76 Torrのもとで行なう。成長温度を650~700℃としたのはGaInPをAlGaAsもしくはGaAs上に直接成長する場合、750℃以上では不可能なことが本発明者の実験により明らかとなっていることに基づいている。このように第4図(a)に示すようなGaInP薄膜層9を含む

多層成長においては、成長温度に注意する必要があるが、下クラッド層2、活性層3、第1上クラッド層4bの各成長を例えば750~800℃で成長した後、温度を650~700℃まで下げながら第2上クラッド層4c、p型GaAs層5の各層を成長するというような工夫をすることによっても同様の構造を得ることが可能である。

次に例えばSiNやSiO₂などの誘電体膜6をp型GaAs層5上にパターニングし、これをマスクとして、硫酸系エッチャントによるエッチングにより、第4図(b)に示すような<011>方向の順メサリッジ構造10bを形成する。GaInP薄膜層9は硫酸系エッチャントではエッチングされず、エッチングストップ層として作用するため、第4図(b)に示す形状を精密にしかも再現性よく形成することができる。なおリッジ底部の幅は3~5 μm 程度となるようにする。

以上のエッチング工程を経た後、再びウェハをMOCVD成長炉内にセットし、AsH₃雰囲気中でたとえば700~750℃まで昇温する。こ

の時、AsH₃雰囲気中に直接晒されている、リッジ部以外の領域のGaInP薄膜層9は、リン系材料であるためヒ素雰囲気では熱分解し、しかも厚さが数十~100 Åと薄いため蒸発して除去される。この結果、第4図(c)に示すように、p型AlGaAs第1上クラッド層4b上にp型GaAs層5、p型AlGaAs第2上クラッド層4c、p型GaInP層9の三層構造の順メサリッジを配置した形状が得られ、第1上クラッド層4bが露出した状態となる。

この後、誘電体膜6を選択成長マスクとして用い、MOCVD法を用いた第2回目のエピタキシャル成長により第4図(d)に示す様に、リッジ構造10bを埋め込むようにn型GaAsブロック層7を成長した後、誘電体膜6を除去し、第3回目のエピタキシャル成長により厚さ2~3 μm のp型GaAsコンタクト層8を第4図(e)に示すように形成し、さらに、基板1裏面およびコンタクト層8表面にn側電極15及びp側電極16を設け、劈開により端面17、18を形成して第1図に示

すレーザ素子が完成する。

このように、本実施例によれば、Al組成の高いAl...Ga...As上クラッド層4bが、大気中に一度も晒されることがなく、表面酸化が生じないため、非常に清浄なAlGaAs層4b上にn型GaAsブロック層7を再成長することができる。この結果、AlGaAs第1上クラッド層とGaAsブロック層間の再成長界面特性が大幅に向上でき、かつ高品位のn型GaAsブロック層を形成することができ、これによりレーザ動作時の電流ブロック効果の向上、再成長界面での電流リークの低減を図ることができる。

なお、本実施例の動作は第6図の従来例と全く同様であるので説明を省略する。

第2図は第1の実施例の変形例による半導体レーザの構造を示す斜視図である。これはリッジ導波路を<011>方向の逆メサ形状としたものであり第1図と全く同様の工程により作製することができる。

次に、本発明の第2の実施例による半導体レー

NC 002128

ザ装置について説明する。

第3図は本発明の第2の実施例による半導体レーザの構造を示す斜視図、第5図はその作製フローを示す断面工程図である。

第3図において、第7図、第8図と同一符号は同一または相当部分である。またGaInP薄膜層9はAlGaInP第1上クラッド層4b上のブロック層が形成されている領域のみに配置され、ストライプ溝底部の薄膜層は除去された構造になっている。

次に作製フローについて説明する。

まず、第1の実施例で説明したのと同様な成長条件で、第5図(a)に示すように、n型GaAs基板1上に、連続して、厚さ約1 μ mのn型AlGaAs下クラッド層2、厚さ約0.1 μ mのAlGaAs活性層3、厚さ0.2~0.3 μ mの第1のp型AlGaAs上クラッド層4d、厚さ数十~100Åのp型GaInP薄膜層9、厚さ約1 μ mのn型GaAs電流ブロック層11を順次MOCVD法によりエピタキシ

ャル成長する(第1回目のエピタキシャル成長)。

次に、第5図(b)に示すように、硫酸系エッチャントを用いてGaInP層9をエッチングストップとしてn型GaAs電流ブロック層11のみを選択的にエッチングし、ストライプ上溝12を形成する。ここで図において $w_1 = 3 \sim 5 \mu\text{m}$ となるようにする。このウエハを上記第1の実施例で示したと全く同じ方法で12のストライプ状溝部のGaInP薄膜層5cのみを熱分解除去し、第5図(c)に示すように清浄なAlGaAs第1上クラッド層4bの表面を露出させた後、連続して厚さ0.7~0.8 μ mの第2のp型AlGaAs上クラッド層4e、及び厚さ2~3 μ mのp型GaAsコンタクト層12を第3図(d)に示すように順次エピタキシャル成長(第2回目のエピタキシャル成長)、さらに、基板1裏面、コンタクト層12表面にn側電極15、p側電極16をそれぞれ設け、劈開により端面17、18を形成して第3図に示すSAS型レーザ素子が完成する。

このように本実施例では、第2の上クラッド層

4eを成長する前に、選択エッチングによりストライプ状溝13bの底部に露出したGaInP薄膜層9が熱分解により完全に除去されるので、第2回目のエピタキシャル成長層の結晶性が向上するとともに、再成長界面特性も大幅に向上できる。

なお、本実施例の動作は第7図、第8図の従来例と全く同様であるので説明を省略する。

なお、上記第1、第2の実施例では、MOCVD法を用いた場合について説明したが、他のエピタキシー技術、例えばMBE(分子線エピタキシー)法を用いても実現可能である。

(発明の効果)

以上のように、この発明によれば、リッジ導波路型半導体レーザ装置において、活性層上に設けたAlGaAs系第1上クラッド層上のリッジ部以外の領域のGaInPエッチングストップ層を除去した構造としているから、上記AlGaAs系第1上クラッド層とブロック層との間の再成長界面特性を向上でき、これにより低しきい値電流、高信頼性のリッジ導波路型可視光半導体レーザ装

置を実現できる効果がある。

また、この発明によれば、SAS型半導体レーザ装置において、活性層上に設けたAlGaAs系第1上クラッド層上のストライプ状溝底部のGaInPエッチングストップ層を除去した構造としているから、上記AlGaAs系第1上クラッド層とAlGaAs系第2上クラッド層との間の再成長界面特性を向上でき、これにより低しきい値電流、高信頼性のSAS型可視光半導体レーザ装置を実現できる効果がある。

また、この発明によれば、半導体レーザの製造方法において、AlGaAs系の第1の上クラッド層上に形成され、選択エッチング時に表面に露出したGaInP薄膜層を再成長時の結晶成長装置内で熱分解除去し、引き続き半導体レーザ装置を構成するに必要な半導体層をエピタキシャル成長するようにしたから、再成長界面の接合特性が大幅に改善された可視光半導体レーザ装置を実現できる効果がある。

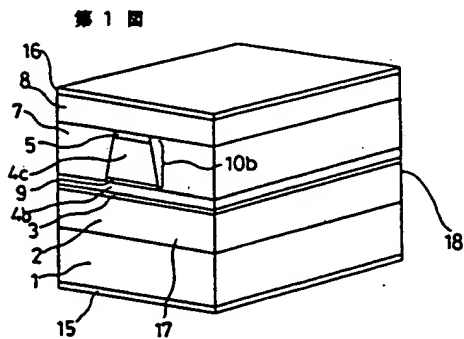
4. 図面の簡単な説明

第1図はこの発明の第1の実施例による半導体レーザ装置を示す斜視図、第2図は第1の実施例の変形例による半導体レーザ装置を示す斜視図、第3図はこの発明の第2の実施例による半導体レーザ装置を示す斜視図、第4図は第1図の半導体レーザ装置の作製フローを示す断面図、第5図は第3図の半導体レーザ装置の作製フローを示す断面図、第6図は従来のリッジ導波路型半導体レーザ装置を示す斜視図、第7図は従来のSAS路型半導体レーザ装置を示す斜視図、第8図は従来の他のSAS路型半導体レーザ装置を示す斜視図、第9図は第6図の半導体レーザ装置の作製フローを示す断面図、第10図は第7図の半導体レーザ装置の作製フローを示す断面図、第11図は第8図の半導体レーザ装置の作製フローを示す断面図である。

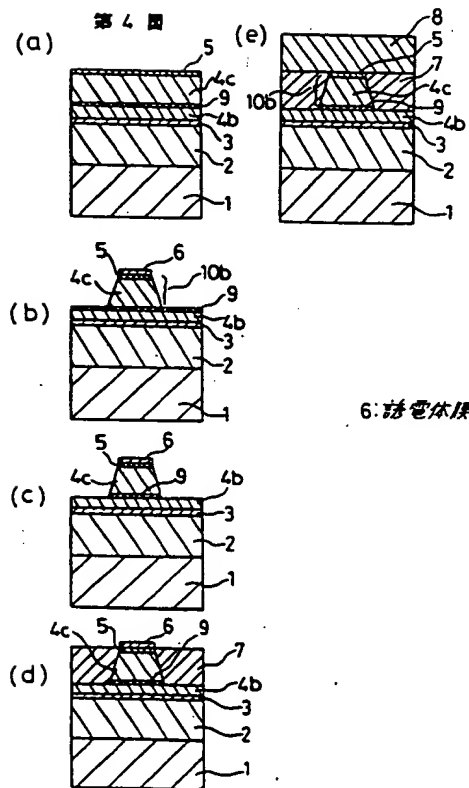
図において、1はn型GaAs基板、2はn型AlGaAs下クラッド層、3はAlGaAs活性層、4b、4dはp型AlGaAs第1上クラッド層、4c、4eはp型AlGaAs第2上クラッド層、5はp型GaAs層、6は誘電体膜、7はn型GaAs電流ブロック層、8はp型GaAsコンタクト層、9はGaInP薄膜層である。

なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 意 一

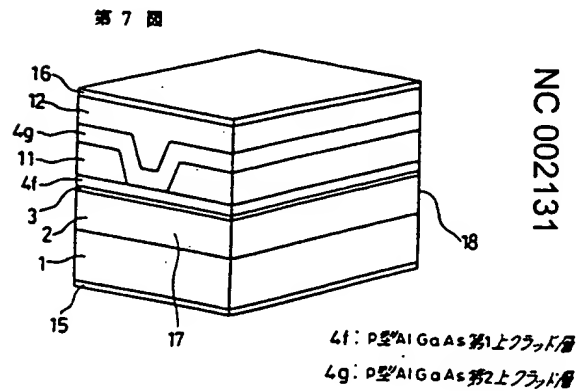
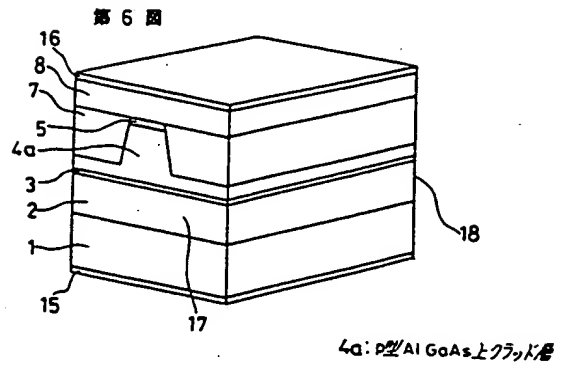
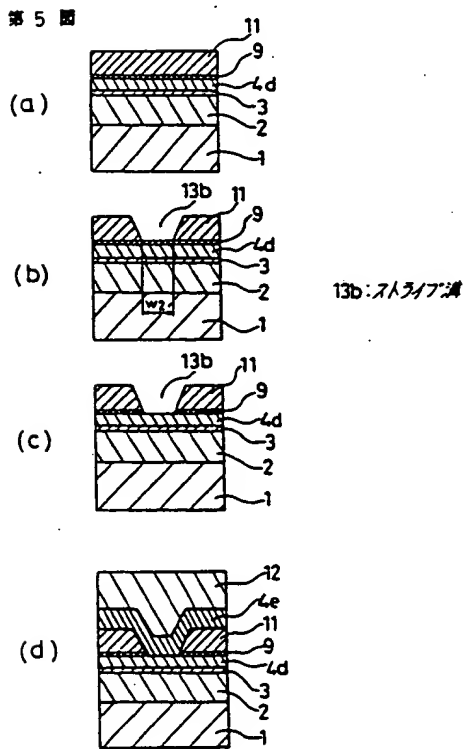
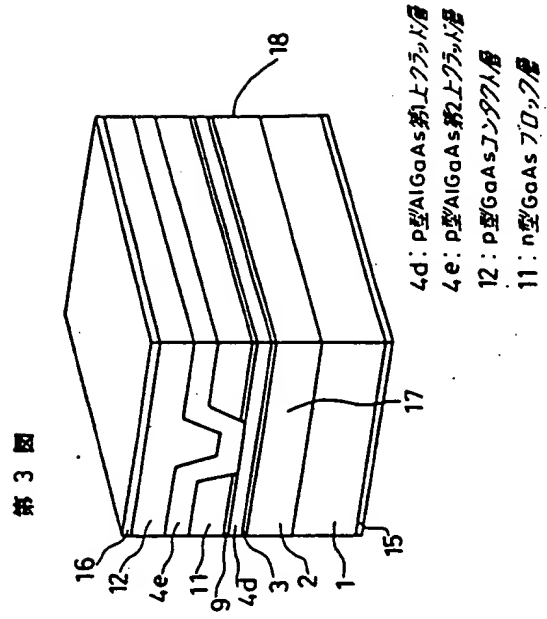
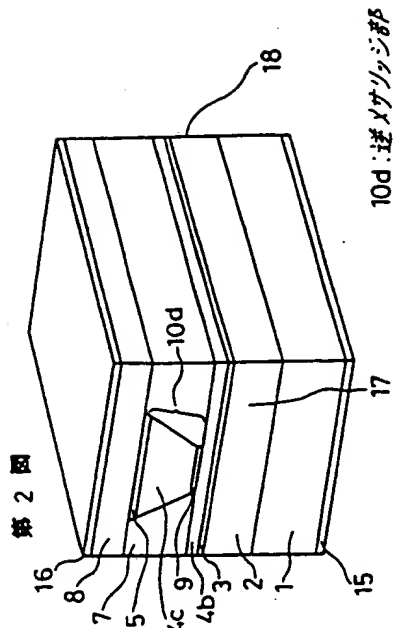


- 第1図
- 1: n型GaAs基板
 - 2: n型AlGaAs下クラッド層
 - 3: AlGaAs活性層
 - 4b: p型AlGaAs第1上クラッド層
 - 4c: p型AlGaAs第2上クラッド層
 - 5: p型GaAs層
 - 7: n型GaAsブロック層
 - 8: p型GaAsコンタクト層
 - 9: p型GaInP層
 - 15: n型電極
 - 16: p型電極
 - 17: 側面
 - 10b: リッジ導波路部



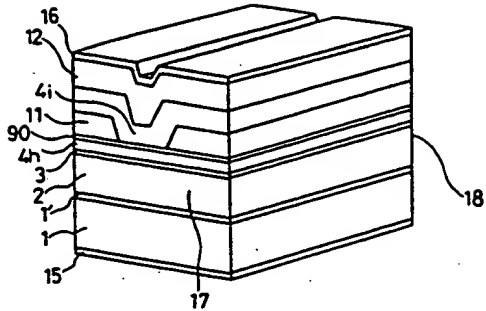
6: 誘電体膜

NC 002130



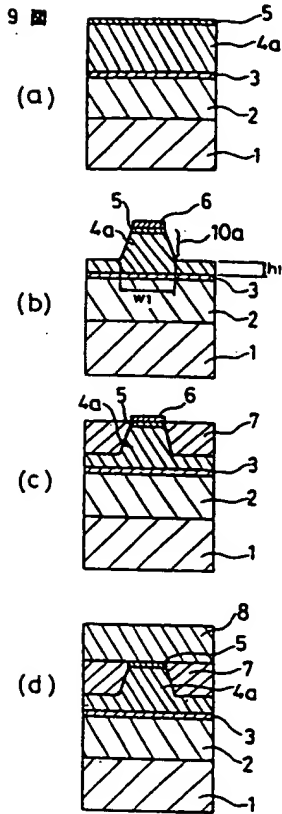
NC 002131

第 8 図

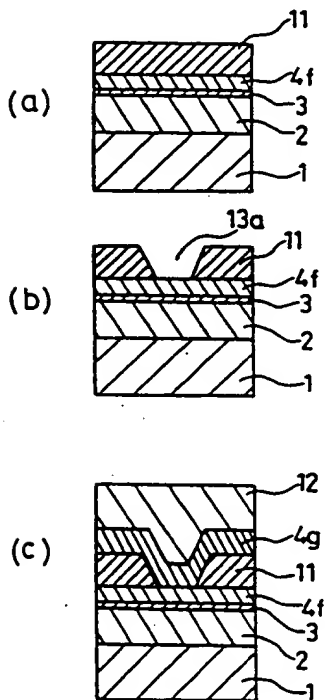


1': n型バッファ層
 4h: p型AlGaAs第1クラッド層
 4i: p型AlGaAs第2上クラッド層
 90: p型GaInP層

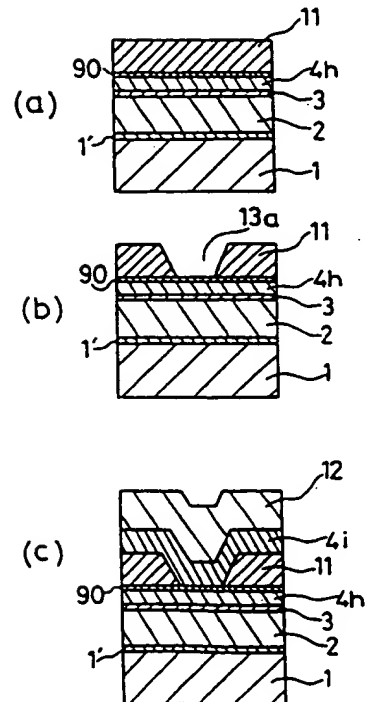
第 9 図



第 10 図



第 11 図



手続補正書 (自発)

平成 3 年 7 月 4 日

特許庁長官 殿



1. 事件の表示

特願平 2-268822 号

2. 発明の名称

半導体レーザ装置とその製造方法

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区丸の内二丁目 2 番 3 号

名称 (601) 三菱電機株式会社

代表者 志 岐 守 哉

4. 代理人 郵便番号 564

住所 大阪府吹田市江坂町 1 丁目 23 番 43 号

ファサード江坂ビル 7 階

氏 名 (8181) 井理士 早 瀬 憲 一

電話 06-380-5822



5. 補正の対象

明細書の特許請求の範囲の欄、発明の詳細な説明の欄、図面の簡単な説明の欄、及び図面 (第 8 図、及び第 11 図)

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙の通り訂正する。

(2) 明細書第 4 頁第 14 行の「9a」を「8」に訂正する。

(3) 同第 6 頁第 20 行～第 7 頁第 1 行、第 7 頁第 3 行、及び第 11 行の「Al, Ga, As」を「Al, Ga, As」に訂正する。

(4) 同第 7 頁第 1 行～第 2 行の「Al, Ga, As (y < x) 活性層 3」を「Al, Ga, As 活性層 3」に訂正する。

(5) 同第 8 頁第 13 行の「n 型バッファ層 1」を「n 型 GaAs バッファ層 101」に訂正する。

(6) 同第 8 頁第 14 行～第 15 行の「下クラッド層 2」を「下クラッド層 102」に訂正する。

(7) 同第 8 頁第 15 行～第 16 行の「活性層 3」

を「活性層 103」に訂正する。

(8) 同第 8 頁第 19 行の「Al, Ga, As」を「GaAs」に訂正する。

(9) 同第 9 頁第 8 行～第 9 行の「クラッド 4i」を「クラッド層 4i」に訂正する。

00 同第 9 頁第 18 行の「3」を「103」に訂正する。

01 同第 11 頁第 9 行、第 10 行、第 12 行、及び第 15 行、並びに第 12 頁第 1 行、第 2 行、第 4 行、及び第 8 行の「導電形」を「導電型」に訂正する。

02 同第 15 頁第 14 行～第 15 行の「成長圧力 76 Torr」を「成長圧力として例えば 76 Torr」に訂正する。

03 同第 16 頁第 20 行の「700～750℃」を「750～800℃」に訂正する。

04 同第 19 頁第 7 行、及び第 20 頁第 11 行の「4b」を「4d」に訂正する。

05 同第 20 頁第 5 行、及び第 8 行の「12」を「13b」に訂正する。

06 同第 21 頁第 20 行、第 22 頁第 9 行、及び第 18 行の「可視光」を削除する。

07 同第 23 頁第 9 行、及び第 11 行の「SAS 路型」を「SAS 型」に訂正する。

08 同第 24 頁第 2 行の「7は」を「7, 11は」に訂正する。

09 同第 24 頁第 2 行の「8は」を「8, 12は」に訂正する。

00 第 8 図及び第 11 図を別紙の通り訂正する。

以 上

NC 002133

特許請求の範囲

(1) AlGaAs 系材料を用いた第1導電型下クラッド層、活性層、及び第2導電型第1上クラッド層からなるダブルヘテロ構造を形成するとともに、該ダブルヘテロ構造上に GaInP 薄膜層、及び AlGaAs 系材料からなる第2導電型第2上クラッド層を形成し、

該第2上クラッド層を上記 GaInP 薄膜層をエッチングストップ層として用いてリッジ状に成形し、

該リッジを第1導電型のブロック層で埋め込んでなる構造を有する、リッジ導波路型の半導体レーザ装置において、

上記リッジ以外の領域の上記第1上クラッド層上の上記 GaInP 薄膜層を除去した構造としていることを特徴とする半導体レーザ装置。

(2) AlGaAs 系材料を用いた第1導電型下クラッド層、活性層、及び第2導電型第1上クラッド層からなるダブルヘテロ構造を形成するとともに、該ダブルヘテロ構造上に GaInP 薄膜層、

及び第1導電型のブロック層を形成し、

上記 GaInP 薄膜層をエッチングストップ層として用いて上記ブロック層に電流通路となるストライプ状溝を形成し、

上記ブロック層上および上記ストライプ状溝上に第2導電型第2上クラッド層を形成してなる構造を有する、SAS型の半導体レーザ装置において、

上記ストライプ状溝の底部の上記 GaInP 薄膜層を除去した構造としていることを特徴とする半導体レーザ装置。

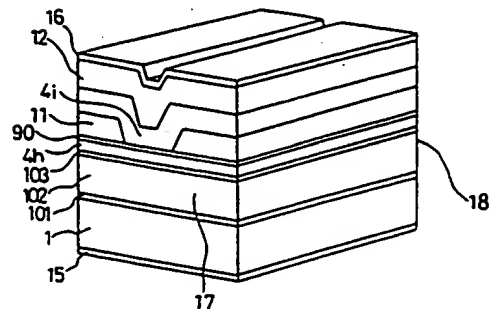
(3) 活性層上に形成した AlGaAs 系第1上クラッド層上に GaInP 薄膜層を形成し、さらに該 GaInP 薄膜層上に他の半導体層を形成した後、上記 GaInP 薄膜層をエッチングストップ層として用いて上記他の半導体層の一部をエッチング除去する工程と、

上記選択エッチング工程で露出した上記 GaInP 薄膜層を、 As 雰囲気とした再成長を行なう結晶成長装置内において GaInP のみが熱分解

し AlGaAs は熱分解しないような温度に昇温し、所定時間保持することにより熱分解除去する工程と、

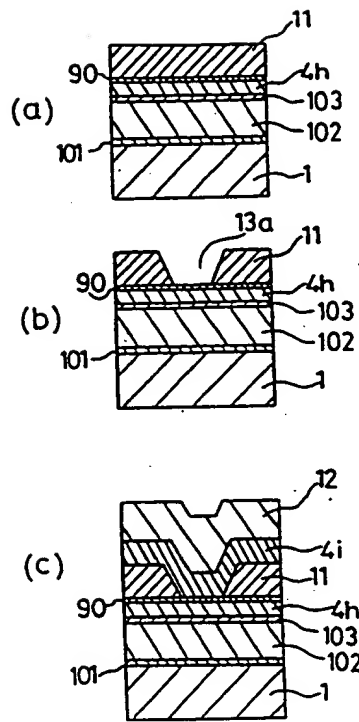
上記熱分解除去工程に連続して上記他の半導体層上、及び GaInP 薄膜層除去により露出した AlGaAs 系第1上クラッド層上に半導体層を再成長する工程とを含むことを特徴とする半導体レーザ装置の製造方法。

第8図



- 101: n型GaAsバッファ層
- 4h: p型AlGaAs第1上クラッド層
- 4i: p型AlGaAs第2上クラッド層
- 90: p型GaInP層

第 11 圖



NC 002135